

前 言

本部分为 GB/T 19403 的一部分,等同采用国际电工委员会标准 IEC 60748-11-1:1992《半导体器件 集成电路 第 11 部分:第 1 节:半导体集成电路 内部目检(不包括混合电路)》(英文版)。

由于 IEC 60748-11-1 标准原文中无图 1、图 2,为保证与国际标准的一致性,故本部分的图例从图 3 开始。

本部分由中华人民共和国信息产业部提出。

本部分由全国集成电路标准化技术委员会归口。

本部分起草单位:信息产业部第四研究所。

本部分主要起草人:魏华、王静

半导体器件 集成电路 第11部分： 第1篇：半导体集成电路 内部目检 (不包括混合电路)

1 范围和目的

进行内部目检的目的是检验集成电路的内部材料、结构和工艺，验证与适用的规范要求的一致性。

通常应在封帽或密封之前对器件进行100%内部目检，以发现可能导致器件在正常使用时失效的内部缺陷并剔除相应器件。本试验也可按抽样方式在封帽之前使用，以确定承制方对半导体器件质量控制和操作程序的有效性。

2 设备

试验设备包括：具有规定的放大倍率的光学设备；必须的目检判据（量规、图纸、照片等）以保证检验效果和使操作人员对被检器件能否接收做出客观判断；为提高工作效率在检查期间固定器件且不引起器件损伤的合适夹具。

3 程序

3.0 介绍

3.0.1 总则

在规定的放大倍率范围内按适当的观察顺序检验器件，以确定器件是否与本部分和适用的规范的要求相一致。本试验方法的检验和判据适用于所有器件和工序。本试验方法给出了预定用于具体器件、工艺或技术的判据。

对于如金属覆盖层、氧化物和扩散缺陷等目检较为困难的复杂器件的检验，可选择替代筛选程序代替目检判据。这些可选择替代的筛选方法和程序在详细规范中规定。

要求适用于线宽在 $2\ \mu\text{m}$ 以上的工艺技术。

3.0.2 检验顺序

本部分列出的检验顺序不是要求的检验顺序，制造厂可自行决定检验顺序。3.1.1.2、3.1.1.5、3.1.1.7、3.1.2、3.1.7的条款(5)和(6)、3.1.8、3.1.9的条款(1)、(2)和(4)规定的目检判据可以在芯片粘接前检验，而芯片粘接后不需要复查。3.1.6.2和3.1.6.3规定的目检判据可在键合前进行检验，键合后无须重新检验。3.1.1.1和3.1.3规定的目检标准可以在芯片粘接前高倍检验，芯片粘接后采用低倍复查。当采用倒装安装技术时，安装后无法检验的判据应在芯片安装前检验。任何未通过试验判据的器件认为是存在缺陷的器件，它们将在目检时被拒收并剔除。

3.0.3 空气洁净度等级

本部分空气洁净度分为两级。等级是基于单位体积内具有 $0.5\ \mu\text{m}$ 及以上，或 $5.0\ \mu\text{m}$ 及以上微粒的最大允许数量，微粒尺寸表示为微粒表面最大线性尺寸或直径，在采用场地应采用下列微粒计数方法之一：

- (1) $0.5\ \mu\text{m}$ 及以上微粒尺寸，设备应使用光散射原理。
- (2) $5.0\ \mu\text{m}$ 及以上微粒尺寸，通过气体样本的取样，微粒的显微数量收集在一个滤光镜上。
- (3) 可以使用其他监测方法和设备，只要证明准确度和可重复性等于上述所列方法。

手动的显微镜方法适用于监测3500级的空气。微粒数量的提取应在工作场所附近的空气中，在工

作活动期间的规定间隔进行。微粒量的推荐位置是在工作台高度,取样探针进入空气流取样。

3.0.3.1 3.5级

每升中 $0.5\ \mu\text{m}$ 和更大粒子未超过3.5个。或每升中 $5.0\ \mu\text{m}$ 和更大粒子未超过0.35个。

3.0.3.2 3500级

每升中 $0.5\ \mu\text{m}$ 和更大粒子未超过3500个。或每升中 $5.0\ \mu\text{m}$ 和更大粒子未超过25个。

3.0.4 检验控制

对所有情况,在最后密封前,检验以前所作的检验应与最后密封前一次检验点上所作的检验按同一质量计划进行。在上述3.0.2中所列项目检验以后应特别小心,以保证在其后的工艺处理中产生的缺陷在密封前的最后一次检验中能被发现而予以拒收。在目检和等待密封的这段时间内,器件应保存在受控环境中。

3.0.5 放大倍率

高放大倍数下的检查应是在正常照明条件下与芯片表面垂直方向上进行。低放大倍数的检查可使器件在适当的照明下采用单筒、双筒或立体显微镜,并在任何角度范围内进行。若承制方愿意,3.1.4和3.1.6.1规定的检查也可在高放大倍数下进行。

3.0.6 定义(仅为检验之目的)

(1) 有源电路区 active circuit area

包括各种功能电路元件、工作金属化层及其相连的集合(除梁式引线以外)的全部区域。

注:这里,“有源”对应“无源”,与有源和无源元器件无关。

(2) 受控环境 controlled environment

空气洁净度等级3.5级。惰性气体环境的使用(例如:氮气),应在满足环境需要下受控贮存,相对湿度应不超过50%。

(3) 扩散岛 diffusion tub

由绝缘材料包围的P或N型半导体材料的隔离区。

(4) 外来物质 foreign material

制造微电路未采用的任何物质,或在微电路外壳内那些已离开了其原来或预定位置的任何外来物质,如果用—个额定气流(大约140 kPa)吹不动,则认为附着。

导电的外来物质定义为在常规目检中采用照明和放大条件下呈现为不透明的那些物质。

注:当微粒周围边缘有明显的彩色条纹时,微粒应被认为是镶嵌在玻璃钝化层中。

(5) 功能电路元件 functional circuit elements

有源或无源元件,例如:二极管、晶体管、电容器、电阻器、穿接带。

(6) 栅氧化桥 gate oxide bridge

MOS结构源与漏之间的扩散区域。金属化覆盖的栅氧化桥包括用作栅电极的其他全部材料。

(7) 玻璃钝化层 glassivation

芯片顶层的透明绝缘材料,它覆盖了除键合区和梁式引线以外的包括金属化层的有源电路区。裂纹是玻璃钝化层上的细微裂缝。

(8) 结 junction

指钝化层台阶的外边缘,它确定了P型和N型半导体材料之间边界。

(9) 多层金属化层(导体) multilayered metallization(conductors)

用于起互连作用的双层或多层金属或任何其他导体材料,这几层材料之间未用生长或淀积绝缘材料将它们彼此隔离。“下层金属”指顶层金属下面的任—层金属。

(10) 多层布线金属化层(导体) multilevel metallization(conductors)

用于起互连作用的双层或多层金属或任何其他导体材料,这几层材料之间通过生长或淀积绝缘材料彼此隔离。

(11) 工作金属化层(导体) operating metallization(conductors)

用作起互连作用的所有金属或任何其他导电材料层,不包括金属化的划片线、测试图形、未连接的功能电路元件、不使用的键合区和识别标志。

(12) 有机聚合物(环氧树脂)蒸汽残余 organic polymer(epoxy)vapour residue

从聚合物中逸出的在有效表面上形成的物质。

(13) 原始宽度 original width

在没有出现异常情况下应具有宽度或距离(例如:原始金属条宽、原始扩散区宽度、原始梁的宽度等)。

(14) 钝化层台阶 passivation step

按设计在金属—金属或金属—硅的连接处形成的钝化层厚度的变化。不包括器件正常工艺中玻璃钝化层去除后在表面形成的线条。

(15) 钝化层 passivation

在金属淀积之前,直接生长或淀积在芯片上的氧化硅、氮化硅或其他绝缘材料。

(16) 外围金属 peripheral metal

所有直接与划片线相邻或位于划片线上的金属。

(17) 厚膜 thick film

厚膜是一种淀积的膜,如通过丝网印刷工艺和在高温下烧熔到其最终形态。

(18) 薄膜 thin film

通过真空蒸发、溅射或热分解淀积到基片上的膜(厚度通常小于 $10\mu\text{m}$)。

(19) 衬底 substrate

钝化层、金属化层和电路元件位于其内和/或其上的起支撑结构作用的材料。

(20) 电阻器最窄宽度 narrowest resistor width

修正前给定电阻的最窄部分。在批准的承制方文件内可规定体电阻的最窄电阻宽度。

(21) 切痕 kerf

通过修正,从电阻器面积上去除或修正掉一部分电阻材料的区域。

(22) 碎屑 detritus

残留在切痕中的原始电阻材料或经激光修正后的电阻材料碎末。

(23) 方块电阻 block resistor

是一种薄膜电阻器,考虑到修正阻值的需要,其宽度设计值应比功率密度要求的宽度宽得多,并且应在已批准的承制方封帽前目检执行文件中予以标识。

(24) 重新键合 rebond

两个焊盘之间或一个焊盘和一个键合点之间取代原来的键合丝的二次键合,此键合丝已去掉,或留下键合附着焊盘的熔焊部分,或键合端,或在第一次尝试中失效。

(25) 划伤 scratch

任何撕裂性缺陷,包括探针在金属化层表面的痕迹。

(26) 空隙 void

不是由划伤引起的在金属化层内的任何可见下层材料区域。

3.0.7 说明

在 $100\times$ ~ $200\times$ 倍放大倍数下做目检时,可用“一条分隔线”或“一个金属条宽”作为满足各条中关于“钝化层或金属条宽为 $2.5\mu\text{m}$ ”的要求判据。在这里提到的“呈现”指当目检器件的图像或外貌时,看到确实存在某些特定情况而不需要用其他检验方法予以证实。

3.1 试验条件

对每一微电路和每一集成电路芯片均应进行3.1.1~3.1.6要求的内部目检。此外,对微电路中采

用了玻璃钝化层、介质隔离和膜电阻器的相应区域还应进行 3.1.7~3.1.9 要求的检验。高放大倍数的检验应在 100 倍~200 倍的范围内进行,低放大倍数的检验应在 30 倍~60 倍的范围内进行。

3.1.1 金属化层缺陷,高倍

有下列缺陷的器件应被拒收。

3.1.1.1 金属化层划伤

(1) 在金属化层上的划伤沿长度方向暴露了下层钝化层,使保留的未受损伤的金属宽度小于原始金属宽度的 50%(见图 3)。

(2) 划伤完全穿过金属化通路,损伤了环绕的钝化层的表面(对 MOS 器件,通路是栅长 L 方向,见图 4)。

(3) 在多层金属化层中的划伤沿长度方向暴露出下层金属,使保留的未受损伤的原始金属层宽度小于 25%(见图 3)。

注:本判据(1)、(2)和(3)项不包括采用多条平行的电源或地线的金属化层通路,这时因划伤而使一条金属化层开路不会造成通路的意外开路。

(4) 钝化层台阶上的金属化层划伤使未受损伤的部分小于台阶处原始金属条宽度的 75%。

注:本判据(1)到(4)项不包括对于沿走线方向,接触窗口上离窗口末端距离为窗口长度 25%范围内的金属化层,以及超过接触窗口端部的金属化层。在这种情况下,未被破坏的金属化层至少覆盖接触窗口区的 50%和接触窗口区连续周长的 40%(见图 5)。

(5) 栅氧层上金属化层的划伤,使其下层钝化层暴露,并使未受破坏的部分小于源与漏扩散区之间金属化层的长度或宽度的 50%(适用于 MOS 结构)(见图 4)。

(6) 在金属化层中的划伤暴露出薄膜电容器或跨接结构的介质材料。

(7) 键合区或嵌条区上的划伤,暴露了下层钝化层,使与该键合区相连部分的金属条宽度减小到其进入键合区相连金属条最窄宽度的 50%,如果有两条或多条金属与键合区相连,应按此要求分别检查每条金属条。

(8) 键合区的划伤(如探针压痕等)暴露了下层钝化层,余下的面积小于原始的未被玻璃钝化层覆盖的键合区金属化层面积的 75%。

3.1.1.2 金属化层空隙

(1) 金属化层的空隙,使未受损伤部分小于原始金属宽度的 50%(见图 6)。

注:本判据不包括存在多条平行的周边电源或地线的金属化层通路,这时因空隙使一条金属化层开路不会造成通路的意外开路。当本条款引起或允许器件设计电流密度限制时,通过设计文件规定,本条款可不采用。电流密度通过设计确定,不是内部目检的内容。

(2) 在钝化层台阶上的金属化层的空隙,使该台阶上未受损伤部分小于原始金属条宽的 75%。

注:本判据(1)和(2)项不包括对于沿走线方向,接触窗口上离窗口末端距离为窗口长度 25%范围内的金属化层,以及超过接触窗口端部的金属化层。在这种情况下,未被破坏的金属化层至少覆盖接触窗口区的 50%和接触窗口区连续周长的 40%(见图 5)。

(3) 在栅氧化层上的金属化层空隙,使未受损伤的部分小于源与漏扩散区金属化层长度(L)的 75%(适用于 MOS 结构)(见图 4)。

(4) 空隙使未受损坏的部分小于原栅氧化层上金属化层面积的 60%(适用于 MOS 结构)。

(5) 空隙使未受损伤的部分小于与源或漏扩散接线相重合的金属化层宽度的 75%(适用于 MOS 结构)(见图 4)。

(6) 键合区中的空隙使未受损伤的部分小于其原来的无玻璃钝化金属化层面积的 75%。

(7) 空隙在键合区或嵌条区上,它使与该键合区相连部分的金属条宽减到进入键合区的互连金属条最窄宽度的 50%以下(见图 7)。

注:如果两条或多条进入键合区的金属通路,应对每条单独考虑。

(8) 在薄膜电容器金属化层中的空隙,缩减到金属化层面积的 25%。

3.1.1.3 金属化层的腐蚀

任何一种金属化层腐蚀。

3.1.1.4 金属化层粘附

任何金属化层的隆起、起皮或起泡。

3.1.1.5 金属化层的探针损伤

3.1.1.1 包含的判据适用于检查探针损伤。

3.1.1.6 金属化层的桥连

任何两条金属化通路之间的距离因金属化层的桥连减少到小于 $2.5\ \mu\text{m}$ ，设计要求除外。

3.1.1.7 金属化层的对准

(1) 被金属化层覆盖的接触窗口面积小于整个接触窗口面积的 50%。

(2) 被金属化层覆盖的接触窗口周边长度小于接触窗口周边的 40%。

注：当按设计要求时，金属层应完全包含在接触窗口内，不需要完全覆盖整个接触窗口的周边，只要满足设计要求，本判据(1)项和(2)项可以不考虑。

(3) 不应该覆盖接触窗口的金属化层通路与接触窗口之间距离小于 $2.5\ \mu\text{m}$ 。

(4) 源和漏扩散区之间的栅氧化层的任何暴露(仅适用于 MOS 结构)(见图 8)。

(5) 栅氧化层的任何暴露，即源和漏扩散区之间未被破坏的金属化层重迭部分小于 75%(仅适用于 MOS 结构)。

(6) 栅金属化层未与扩散保护环重迭或超越保护环。

注：本判据仅适用于具有扩散保护环的 MOS 结构，无扩散保护环的 MOS 器件，栅金属化层的扩展超出栅氧化层部分不小于 $2.5\ \mu\text{m}$ (见图 4 和图 8)。

3.1.2 扩散和钝化层缺陷, 高倍

有下列缺陷的器件将被拒收：

(1) 扩散区之间出现桥连的扩散缺陷(见图 9)。

(2) 任何不连续的隔离扩散区，无用区或无用键合区周围的隔离墙除外，或任何其他扩散区保留的宽度小于原始扩散宽度的 25%。

(3) 在金属化层边缘并延续到金属层下面能看到钝化层的多条干涉条纹或缺损(见图 10)。

注：二倍或三倍的干涉条纹表示缺陷有足够的深度，已渗透到了半导体材料本体。否则，在缺陷区无玻璃钝化层或有玻璃钝化层存在的特征可通过颜色或颜色对比来验证钝化层是否存在，也可采用这种干涉条纹方法。本判据(3)项不包括在金属化层淀积之前有不同工艺的二次钝化。

(4) 除非设计规定，有源结上无钝化层覆盖。

3.1.3 划片和芯片缺陷, 高倍

有下列缺陷的器件将被拒收：

(1) 工作金属化层或键合区边缘和芯片边缘之间可见钝化层小于 $25\ \mu\text{m}$ 。

注：本判据不包括外围金属化层和与芯片相同电位的金属化层的键合区。

(2) 有源电路区的裂纹(见图 11)。

注：本判据不包括其电位与衬底相同的周边金属化层。缺损使未受破坏的金属化层宽度至少有 50%。除非并行通路存在，以至裂纹上的开路不会引起金属化通路的开路。

(3) 有源电路区上衬底或钝化层裂纹或长度超过 $75\ \mu\text{m}$ 的裂纹(见图 11)。

(4) 在芯片上任何工作金属化层或其他有源电路区超过 $25\ \mu\text{m}$ 的裂纹。

注：本判据不包括与芯片相同电位外围金属化层。

(5) 划片槽内或划线指向工作金属化层或功能电路元件的裂纹长度超过 $25\ \mu\text{m}$ (见图 11)。

3.1.4 键合检验, 低倍

本项检验和需要的标准适用于对各种键合类型和位置从上面的观察。

注：当确定键合的物理尺寸时，尾丝不算键合区的一部分。

3.1.4.1 金丝球焊

有下列缺陷的器件将被拒收:

- (1) 芯片或封装柱上的金丝球焊,焊球直径小于金丝直径 2 倍或大于金丝直径的 6 倍。
- (2) 金丝不完全在球的四周之内引出的金丝球焊,金丝在成弧形之前至少一倍金丝直径的间隔未垂直引出。
- (3) 引出的金丝不在键合区内的中心的金丝球焊。
- (4) 位于金属化层上的金丝球焊部分,任何金丝焊球的周边,形成的半径扩展大于 $2.5\ \mu\text{m}$ 。

3.1.4.2 楔形键

有下列缺陷的器件将被拒收:

- (1) 在芯片或封装柱上超声楔形键合点的宽度小于键合丝直径的 1.2 倍或大于其直径的 3 倍,其长度小于键合丝直径的 1.5 倍或大于其直径的 5 倍(见图 12)。
- (2) 在芯片或封装柱上,热压楔形键合点的宽度小于键合丝直径的 1.2 倍或大于其直径的 3 倍,其长度小于键合丝直径的 1.5 倍或大于其直径的 5 倍(见图 12)。
- (3) 楔形键合延伸到与键合区相连的金属化条上而且键合点周界与该金属条两边均交迭或重合(见图 7 和图 13)。

注 1: 当引入到键合区的金属化条的宽度大于 $50\ \mu\text{m}$, 并且引入的金属条相连的键合区一侧尺寸在大于 $90\ \mu\text{m}$ 时, 可不按本判据要求。

注 2: 当可接收的尾端线掩盖有关区域时, 只要下述条件存在, 可以不考虑本判据的要求: 键合点与引入金属化条和键合区的交线之间间距超过 $2.5\ \mu\text{m}$, 以及在键合点和引线尾的界面处没有明显的被破坏的键合区金属化层的迹象。

3.1.4.3 无尾键(月牙形)

有下列缺陷的器件将被拒收:

- (1) 在芯片上或封装柱上无尾键合的宽度小于键合丝直径的 1.2 倍或大于其直径的 5 倍, 其长度小于键合丝直径的 0.5 倍或大于其直径的 3 倍(见图 12)。
- (2) 无尾键合的压痕未覆盖整个引线宽度。
- (3) 无尾键合延伸到与键合区相连的金属化条上, 不包括可见的未被破坏的金属条。而且键合点周界与该金属化条一边交迭或重合。

3.1.4.4 一般情况(金丝球焊、楔形键、无尾键)

有下列缺陷的器件将被拒收:

- (1) 在芯片上键合, 从焊盘内部边缘算起, 在非玻璃钝化的键合焊区内的键合面积少于 50%。
- (2) 在封装柱上的键合点, 不完全在两个封装焊盘宽度内(即最窄焊盘宽度)或键合不完全在封装柱的键合区内。
- (3) 键合点的位置使从键合点引出的引线位置与另一个键合点交叉。
- (4) 键合点的位置在键合点之间或键合点与不和它连接的工作金属化层之间间距小于 $2.5\ \mu\text{m}$ 。
- (5) 键合丝尾部延伸到玻璃钝化层未覆盖, 且不与键合丝相连接金属化区。
- (6) 键合丝尾部, 在键合焊区长度超过金属丝直径的 2 倍, 在封装引线柱上长度超过金属丝直径的 4 倍。
- (7) 键合点 50% 以下位于预制芯片安装材料区域内。
- (8) 在另一个键顶部的键合, 在键的尾丝上或残留的键合丝上的键。超声楔形键在原来键的旁边时, 观察第一个键的宽度减小超过 $6\ \mu\text{m}$ 是可接收的。
- (9) 任何用桥连或附加键合丝或带的办法修理导电体的明显修补。

3.1.4.5 重新键合

当符合下列条件时, 单片器件的重新键合是允许的:

- (1) 第二次键合的附着面积至少 50% 在未被破坏的金属上(不包括未暴露钝化层的探针痕迹)。
- (2) 在任何键合区或键端位置不超过一次的重新键合。
- (3) 键合区足够容纳重新键合。
- (4) 二次键合位置靠近金属化层端头。

3.1.5 内引线,低倍

本检验和判据对适用的引线类型和位置应作为要求。

3.1.5.1 引线

有下列缺陷的器件将被拒收:

- (1) 接触到另一根丝(不包括共用引线)、封装柱、未被玻璃钝化层覆盖的工作金属化区、芯片或任何外壳部分的任何丝。
- (2) 在引线中存在多余的环或弯曲使引线与另外的引线、封装柱、未玻璃钝化的工作金属化层或芯片、或外壳部分距离不到 2 倍引线直径。然而,对于球形键合不到 125 μm ,超声和热压楔形键合不到 250 μm 时,此要求不适用于与芯片表面上离键合周界的球形径向距离的确定。
- (3) 任何引线上的裂口、切伤、刻痕或颈缩使引线直径减少 25% 以上。
- (4) 键合丝尾在键合区上其长度大于 2 倍引线直径或在封装柱上其长度大于 4 倍引线直径。
- (5) 在引线和键合的接合处上的撕裂。
- (6) 从芯片键合区到封装柱为直线而不成弧形的引线(也见 3.1.4.1(2))。
- (7) 引线与引线交叉(共用引线除外)。
- (8) 不符合键合图的引线。

3.1.6 封装条件,低倍

有下列缺陷的器件将被拒收。

3.1.6.1 外来物质

外来物质或微粒能用标定的气流吹掉(大约 140 kPa)。器件呈现下列情况将被拒收:

- (1) 在芯片表面或外壳内存在没有固定的外来物质。
- (2) 在盖或帽的表面上存在没有固定的外来物质。

注:本判据可通过标定的气流(大约 140 kPa)或合适的洁净工艺来满足,只要盖或帽在封装前一直处于可控的环境中。

(3) 附着的导电外来物质桥连金属化层通路、外壳引线、外壳金属化层与引线、功能电路元件或结,或任何电器不连接部分的桥连。

(4) 在芯片表面的液滴,覆盖大于 25% 的键合区或桥连任何未被玻璃钝化的金属化层或裸露的硅表面。

3.1.6.2 芯片安装

- (1) 芯片安装材料延伸到芯片顶部表面上。
- (2) 至少 50% 芯片周长以上未见芯片安装材料,除非在两不相邻边完全连续(除透明芯片外)。
- (3) 透明管芯的键合面积小于芯片的 50%。
- (4) 芯片安装材料的聚集。
- (5) 芯片安装材料的聚集,当从上面观察时,可看到的周界焊接轮廓不到 50%(见图 14)。

3.1.6.3 芯片方位

- 芯片定位和定向不符合器件装配图的要求。
- 芯片与芯片粘接区之间倾斜角度大于 10°。
- 芯片与绝缘材料交迭。
- 芯片的几何结构或尺寸不符合器件装配图的要求。

3.1.7 玻璃钝化层缺陷,高倍

注:本条款的判据可不包括对由于激光修正引起的缺陷。在这种情况下,激光修正使切痕外面的缺陷不应超过所

保留的电阻宽度的一半。主要电阻器通路应设有玻璃钝化层缺陷,且应等于或大于最窄电阻器宽度的一半或 $6\ \mu\text{m}$,取较大者(见图 15)。当使用此例外判据时,应进行并通过一个样品的结冰(freeze-out)试验。

有下列缺陷的器件将被拒收:

- (1) 玻璃钝化层中出现的裂纹,使本部分要求的目检内容难以进行。
- (2) 玻璃钝化层的隆起或剥皮。

注:当从玻璃钝化层的设计周边扩展距离不大于 $25\ \mu\text{m}$ 时,玻璃钝化层的隆起或剥皮可以不考虑。金属的暴露仅是在相邻键合点或金属化层上。

- (3) 除键合区外,只要两条或多条相邻的有源金属化层通路未被玻璃钝化层覆盖。
- (4) 除设计规定之外,任何方向上未被玻璃钝化层覆盖的尺寸大于 $125\ \mu\text{m}$ 。
- (5) 键合区边缘未被玻璃钝化层覆盖的区域暴露了半导体材料。
- (6) 玻璃钝化层覆盖的键合区面积大于 50%。
- (7) 在膜电阻器上的裂纹。
- (8) 玻璃钝化层上的空隙,暴露薄膜电阻器或连线的任何部分。按设计要求在玻璃钝化层上开窗除外。

3.1.8 介质隔离, 高倍

有下列缺陷的器件将被拒收:

- (1) 在含有功能电路元件的每个隔离岛周围的隔离线(典型的为一条黑线)不连续(见图 16)。
- (2) 在含有功能电路元件的相邻隔离岛之间缺少连续的隔离线。
- (3) 扩散区与介质隔离材料重迭,与相邻的隔离岛之间的距离小于 $2.5\ \mu\text{m}$,或一个以上的扩散区同时与该介质隔离材料重迭(见图 16)。
- (4) 接触窗口与介质材料接触或重迭。
- (5) 在介质隔离台阶上金属化层中的划伤和空隙缺陷不满足 3.1.1.1(4)和 3.1.1.2(2)的规定。

3.1.9 膜电阻, 高倍

应根据薄膜电阻器有效使用部位缺陷的情况决定拒收。3.1.1 金属化层的缺陷判据应适用。有下列缺陷的器件将被拒收:

- (1) 互连线和电阻器之间任何错位,使相互交叉的实际宽度小于电阻器原始宽度的 50%(见图 17)。
- (2) 金属化层和膜电阻器之间重迭部分在长度方向上小于 $6\ \mu\text{m}$ (见图 17)。
- (3) 任何两个电阻器或电阻器和金属化层通路之间的距离小于 $2.5\ \mu\text{m}$,设计规定除外。
- (4) 空隙或颈缩使膜电阻一端宽度未受破坏的部分小于膜电阻器宽度的 75%。
- (5) 在电阻器/导线(体)引出端的 $2.5\ \mu\text{m}$ 内电阻器材料颜色出现突变。
- (6) 因疏忽使备用的电阻器将有源电路上不该相连的两点连接起来。
- (7) 薄膜电阻器在衬底上的不规则跨接(如:介质隔离线,氧化层或扩散层台阶等)(见图 16)。
- (8) 空隙、划伤或两者同时存在的结果,使电阻器宽度小于 $6\ \mu\text{m}$ 或电阻器最窄宽度的一半,取较大者(见图 18)。

3.1.10 激光修正的膜电阻器, 高倍

应根据薄膜电阻器有效使用部位缺陷的情况决定拒收。有下列缺陷的器件将被拒收:

- (1) 切痕宽度小于 $2.5\ \mu\text{m}$ 。

注:本判据不适用于边缘修正情况。

- (2) 切痕内含有碎屑粒子。
- (3) 切痕内含有未受到修正的电阻器材料,除非电阻器材料连续地越过该切痕且在宽度上未受到破坏的部分大于电阻器最窄宽度的一半或 $6\ \mu\text{m}$,取较大者(见图 19)。
- (4) 在修正区域内,因修正,包括空隙、划伤及其组合的影响,使电阻器宽度小于电阻器最窄宽度的一半或 $6\ \mu\text{m}$,取较大者(见图 18 和图 20)。

(5) 修正路径进入了金属化层,体电阻器除外。

注:导体或电阻器由设计规定或对连条修正时可以修正成开路。

(6) 体电阻修正区进入金属化层(不包括键合区)的线度大于原始金属宽度的 25%(见图 21)。

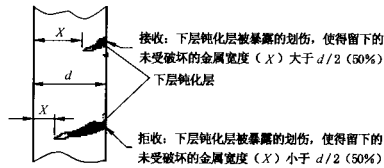
(7) 凹槽进入切痕中的二氧化硅,使凹槽与电阻器材料之间未呈现出一条分隔线。

3.2 规定的条件

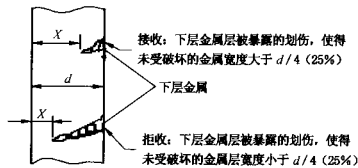
在适用的规范中应详细规定以下内容:

- (1) 与已批准的电路、设计、布局、技术或结构任何不一致的地方;
- (2) 给操作者用作比较的量规、图纸和照片(见第 2 章);
- (3) 特殊的放大倍数(见 3.0.5)。

4 图



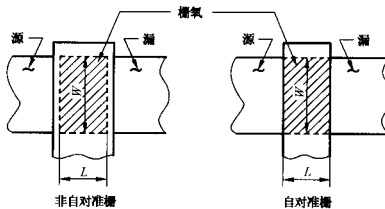
仅对多层金属器件



d = 原始的金属宽度;

X = 未被破坏的金属宽度。

图 3 划伤判据



注:当标准的金属化层划伤和空隙判据应用于栅区时,应将尺寸(W)和(L)分别看作原始的沟道宽度和长度。

图 4 MOS 划伤和空隙判据

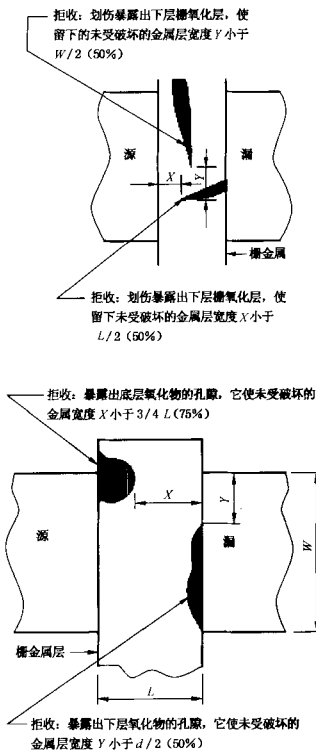


图 4 (续)

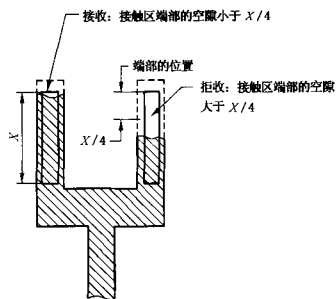
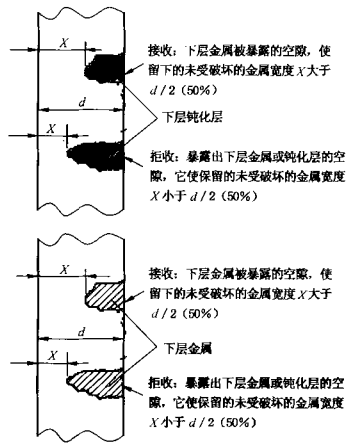


图 5 终端



d = 原始的金属宽度；

X = 未被破坏的金属宽度。

图 6 空隙判据

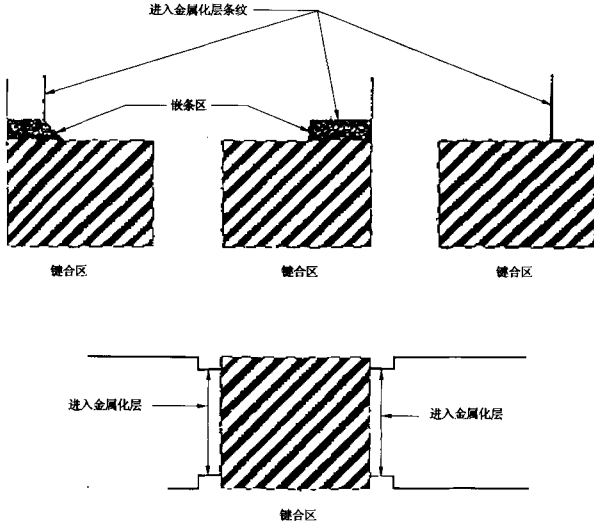


图 7 键合区面积

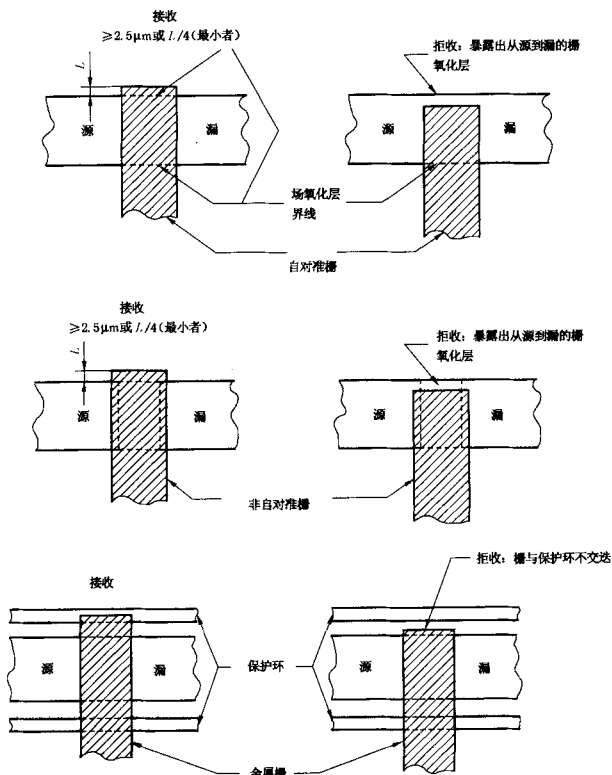


图 8 MOS 栅的对准

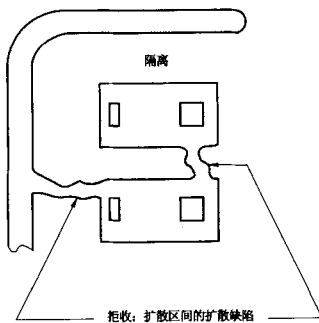


图 9 扩散缺陷

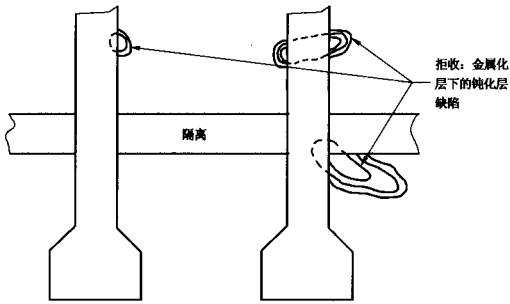


图 10 钝化层缺陷

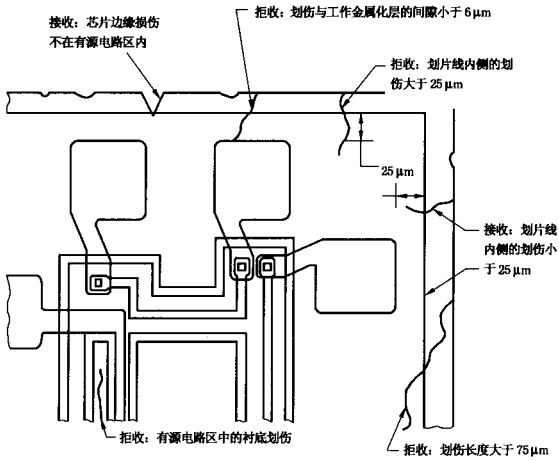
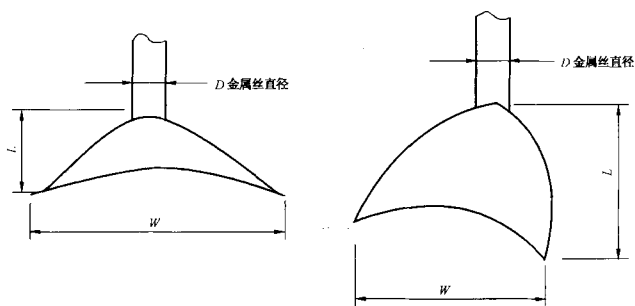


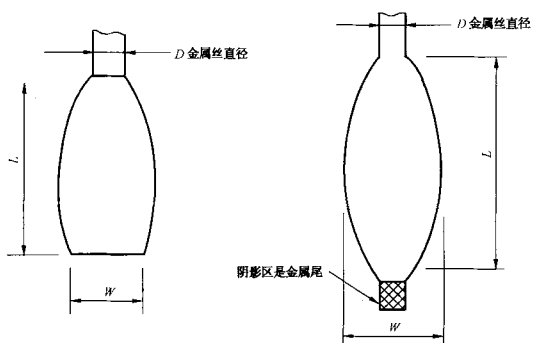
图 11 划片和管芯缺陷

无尾或月牙形



$1.2D \leq W \leq 5D$ (宽度)
 $0.5D \leq L \leq 3D$ (长度)

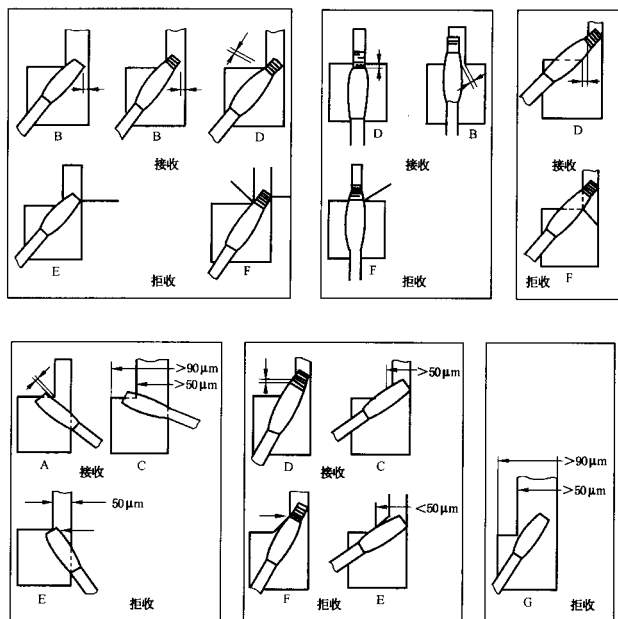
楔形



$1.2D \leq W \leq 3D$ (宽度)
 $1.5D \leq L \leq 5D$ (长度)

$1.5D \leq W \leq 3D$ (宽度)
 $1.5D \leq L \leq 5D$ (长度)

图 12 键合尺寸



接收或拒收的理由：

A=接收，因为键面积的一半或一半以上是在键合区上，而且在从键合区引出的金属互连线上无键合。

B=接收，因为键面积的一半或一半以上是在键合区上，而且在从键周线最多只与进入键合区的金属互连线的一边交迭或重合。

C=接收，虽然键与进入键合区的金属互连线两边均交迭或重合，但是进入键合区的金属互连线宽度大于 $50\ \mu\text{m}$ ，键合区尺寸大于 $90\ \mu\text{m}$ ，并且键合面积的一半或一半以上是在键合区上。

D=接收，虽然键合尾端线妨碍看到进入键合区的金属互连线，但是：(1)不包括尾线的键合周线离金属互连线与键合区的交界面大于等于 $2.5\ \mu\text{m}$ ；(2)在键与尾端线交界看不到键合区金属遭破坏的迹象；(3)键面积的一半或一半以上是在键合区上。

E=拒收，由于键与从键合区引出的金属互连线两边均交迭或重合，并且进入键合区的金属宽度不大于 $50\ \mu\text{m}$ 。

F=拒收，由于键合周线(忽略键合尾端线)在引入金属与键合区的交界面的 $2.5\ \mu\text{m}$ 之内，键合线尾端遮蔽金属连接线。

G=拒收，由于键合区上的键面积小于键合区面积的一半(即使满足了其全部标准)。

图 13 在金属化层端头上的键合

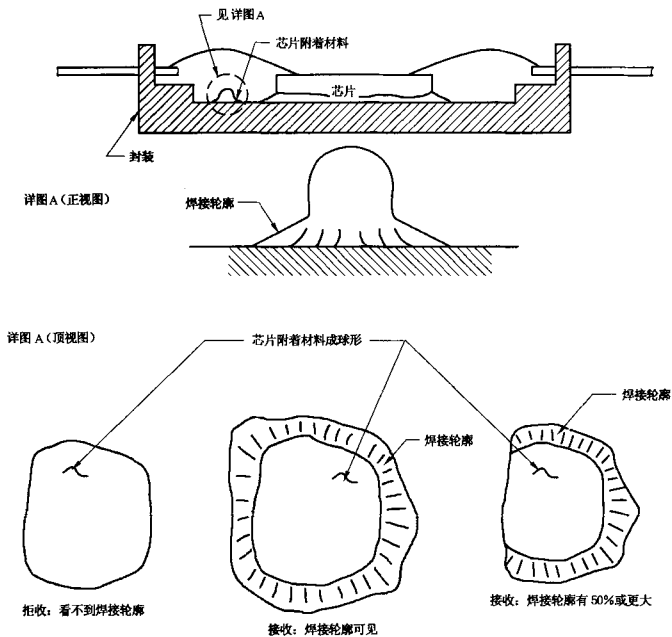


图 14 芯片附着材料成球状

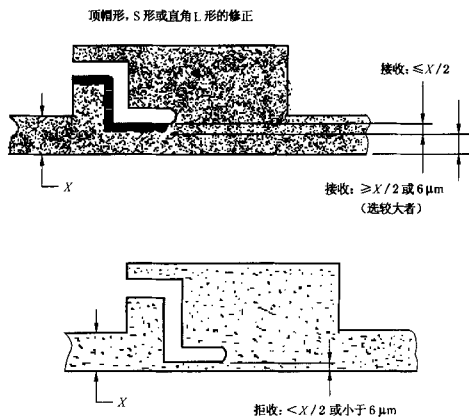


图 15 激光修正的钝化层缺陷

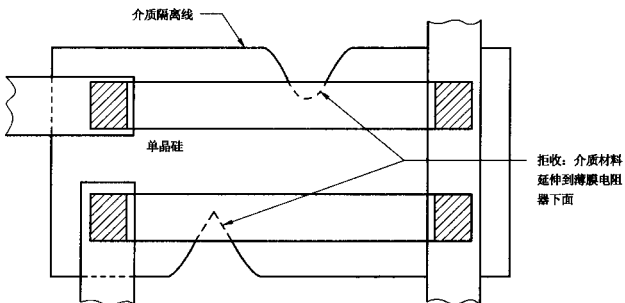
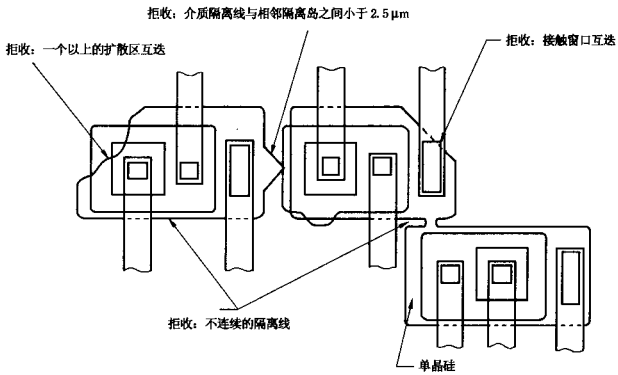


图 16 介质隔离缺陷

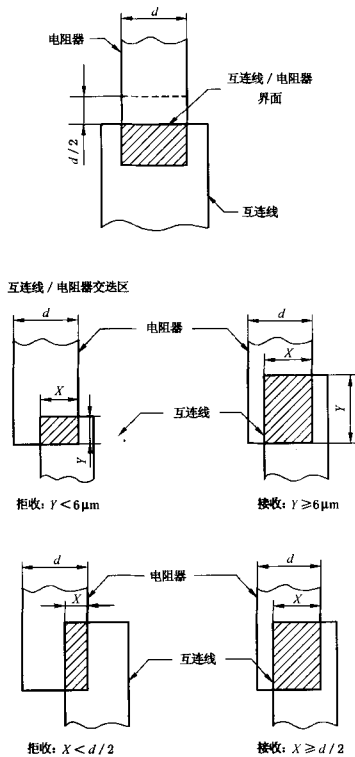


图 17 膜电阻器的接触面积

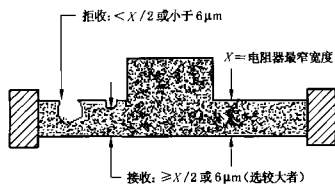
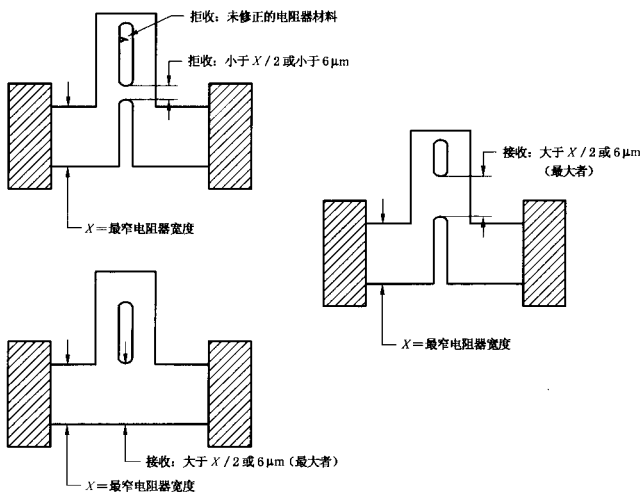


图 18 未修正电阻器的划伤和空隙判据

顶帽形



直角形

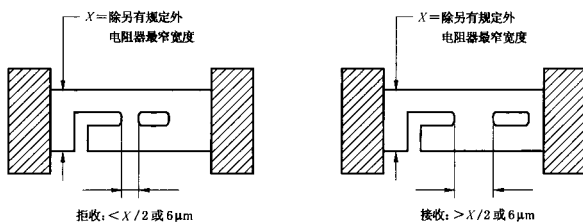
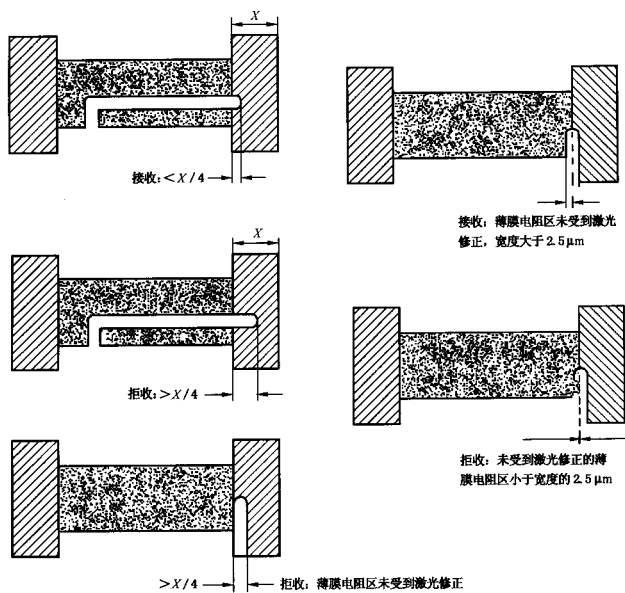


图 19 激光修正膜电阻器



修正进到金属层

图 21 块状电阻器判据